

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339243

(43)Date of publication of application : 07.12.2001

(51)Int.CI.

H03B 5/18

H01F 17/00

H03B 5/02

H03B 5/12

(21)Application number : 2000-160282

(71)Applicant : ALPS ELECTRIC CO LTD

(22)Date of filing : 30.05.2000

(72)Inventor : YOSHISATO AKIYUKI

INOUE AKIHIKO

SAKUMA HIROSHI

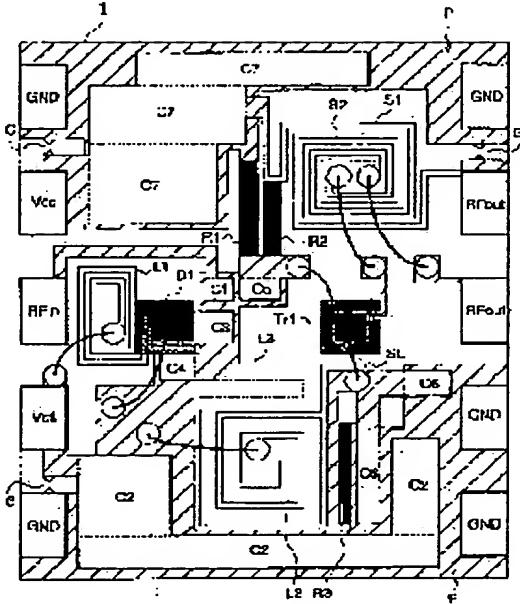
IGARASHI YASUHIRO

(54) ELECTRONIC CIRCUIT UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a surface mount type electronic circuit unit which is suitably made compact.

SOLUTION: On an alumina substrate 1, circuit elements including capacitors C1 to C7, resistances R1 to R3, inductance elements L1 to L3, etc., are formed as a thin film and a semiconductor bare chip of a diode D1 and a transistor Tr1 is bonded by a wire; and the inductance element L2 among the thin-film formed inductance elements L1 to L3 is formed spirally into an inductance element for resonance frequency setting and the inductance element L3 connected to the inductance element L2 is formed into a conductive pattern for adjustment and trimmed to increase the number of turns of the inductance element L2, thereby adjusting the resonance frequency.



LEGAL STATUS

[Date of request for examination] 30.05.2000

[Date of sending the examiner's decision of rejection] 28.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-11714

[Date of requesting appeal against examiner's decision of rejection] 26.06.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The electronic-circuitry unit which it has a circuit element containing the capacitor and resistance by which thin film formation was carried out on the alumina substrate, and an inductance element, and the semiconductor bare chip by which wire bonding was carried out on the aforementioned alumina substrate, and the aforementioned inductance element has an inductance element for a resonance frequency setup at least, and is characterized by carrying out thin film formation of this inductance element for a resonance frequency setup at the shape of spiral shape.

[Claim 2] The electronic-circuitry unit characterized by preparing Cu plating in the front face of the aforementioned inductance element for a resonance frequency setup in the publication of a claim 1.

[Claim 3] The electronic-circuitry unit which carries out thin film formation of the electric conduction pattern for adjustment connected to the aforementioned inductance element for a resonance frequency setup on the aforementioned alumina substrate in the publication of claims 1 or 2, and is characterized by constituting so that the number of turns of the aforementioned inductance element for a resonance frequency setup may be increased by the trimming of this electric conduction pattern for adjustment and resonance frequency may be adjusted.

[Claim 4] the publication of a claim 3 -- setting -- each conductor width of the aforementioned electric conduction pattern for adjustment after the aforementioned inductance element for a resonance frequency setup, and trimming -- abbreviation -- the electronic-circuitry unit characterized by setting up identically

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to a surface mounting type electronic-circuitry unit.

[0002]

[Description of the Prior Art] Generally, the surface mounting type electronic-circuitry unit of this kind solders various passive circuit elements to the solder land of the electric conduction pattern prepared on the substrate, and outline composition is carried out so that these passive circuit elements may be covered with shield covering. a substrate consists of multilayer substrates -- having -- the inner layer section -- grounding -- it is inserted into a conductor and the microstrip line is prepared Moreover, the end-face electrode is prepared in the side of a multilayer substrate, and in case surface mounting of the electronic-circuitry unit is carried out on a mother substrate, an end-face electrode is soldered to the solder land of a mother substrate.

[0003] Passive circuit elements are used according to the circuitry needed [amplifying circuit / a resonance circuit or an amplifying circuit / a tuning circuit,], for example, diode, a chip capacitor, an inductor, etc. are used as passive circuit elements for resonance circuits, a transistor, a chip resistor, a chip capacitor, an inductor, etc. are used as passive circuit elements for amplifying circuits, and these passive circuit elements are connected through an electric conduction pattern.

[0004]

[Problem(s) to be Solved by the Invention] by the way, the technology which changes passive circuit elements, such as a chip and a transistor, small is progressing remarkably, for example, super-small the chip resistor and chip capacitor whose dimension is about 0.6x0.3mm are also put in practical use in recent years Therefore, also in the conventional electronic-circuitry unit mentioned above, such a small chip, a small transistor, etc. are used, and if these passive circuit elements are mounted on a substrate where the pitch between parts is narrowed, it will enable until to miniaturize an electronic-circuitry unit to some extent. However, there was a limitation in the miniaturization of passive circuit elements, such as a chip and a transistor, and moreover, in case much passive circuit elements are mounted on a substrate, in order to have to make it the soldering portion of each passive circuit elements not have to short-circuit, there is a limitation also in narrowing the pitch between parts, and it had become the factor in which these things bar the further miniaturization of an electronic-circuitry unit. Moreover, in the conventional electronic-circuitry unit mentioned above, since the distributed constant type inductor for resonance was constituted by the microstrip line prepared in the multilayer substrate, the microstrip line needed for obtaining desired Q became long, and the miniaturization of an electronic-circuitry unit was barred also from this point.

[0005] this invention was made in view of the actual condition of such conventional technology, and the purpose is in offering the suitable electronic-circuitry unit for a miniaturization.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in the

electronic-circuitry unit of this invention, it had the circuit element containing the capacitor and resistance by which thin film formation was carried out on the alumina substrate, and an inductance element, and the semiconductor bare chip by which wire bonding was carried out on the aforementioned alumina substrate, and the aforementioned inductance element has an inductance element for a resonance frequency setup at least, and carried out thin film formation of this inductance element for a resonance frequency setup at the shape of spiral shape.

[0007] According to such composition, the circuit element containing a capacitor, resistance, and an inductance element is formed with high precision using a thin film technology, moreover, since a semiconductor device carries out wire bonding of the bare chip, the passive circuit elements needed on an alumina substrate are mounted with high density, and it can realize the electronic-circuitry unit suitable surface mounting type for a miniaturization. since [moreover,] a concentrated-constant type inductor is constituted by the inductance element for a resonance frequency setup of the shape of spiral shape by which thin film formation was carried out -- the conductor -- between distance can be narrowed, a miniaturization can be attained and the miniaturization of an electronic-circuitry unit can be realized also from this point

[0008] In the above-mentioned composition, if it is desirable to prepare Cu plating in the front face of the spiral shape-like inductance element which constitutes the inductance element for a resonance frequency setup and it does in this way, Q of a resonance circuit can be raised.

[0009] Moreover, in the above-mentioned composition, if thin film formation of the electric conduction pattern for adjustment connected to the inductance element for a resonance frequency setup is carried out, it is desirable to constitute so that the number of turns of the inductance element for a resonance frequency setup may be increased by the trimming of this electric conduction pattern for adjustment and resonance frequency may be adjusted and it does in this way, resonance frequency can be adjusted easily. in this case, the conductor width of the electric conduction pattern for adjustment after trimming and the conductor width of the inductance element for a resonance frequency setup -- abbreviation -- since both characteristic impedance will not change if it is desirable to make it the same and it does in this way, C/N ratio can obtain a good oscillation

[0010]

[Embodiments of the Invention] Explanatory drawing in which the perspective diagram in which the rear-face view of an alumina substrate and drawing 4 show explanatory drawing of circuitry, and, as for the plan of an alumina substrate in which drawing 1 shows the perspective diagram of an electronic-circuitry unit, and drawing 2 shows a circuitry layout, and drawing 3 , drawing 5 shows an end-face electrode, and drawing 6 show the cross section of an end-face electrode hereafter when the example of an operation form of this invention is explained with reference to a drawing, and drawing 7 shows the relation between a semiconductor bare chip and a connection land, and drawing 8 are

[0011] This example of an operation form is an example of application to frequency alignment type booster amplifier, and this frequency alignment type booster amplifier has the function amplify selected TV signal and input into a UHF tuner while it is used combining the UHF tuner which is not illustrated for the improvement in a receiving performance (they are receiving sensitivity and a disturbance-proof property especially) of a carried type television device and chooses TV signal of the frequency of choice.

[0012] As drawing 1 shows the appearance of this frequency alignment type booster amplifier (electronic-circuitry unit) and shows it in this drawing, this frequency alignment type booster amplifier consists of an alumina substrate 1 in which the circuitry element mentioned later was carried, and shield covering 2 attached in this alumina substrate 1, and serves as surface mounting parts soldered to the mother substrate which is not illustrated. The alumina substrate 1 is formed in rectangular plate-like one, and after it cuts the size version substrate to strip-of-paper-like the piece of division, it is obtained by carrying out the subdivision rate of this piece of division further. The shield covering 2 is what bent and processed the metal plate into the enclosed type, and the circuitry element on the alumina substrate 1 is covered by this shield covering 2.

[0013] As are shown in drawing 2 , and the electric conduction pattern which connects them

with a circuitry element is prepared in the front face of the alumina substrate 1 and it is shown in drawing 3, the electric conduction pattern as a back plate is prepared in the rear face of the alumina substrate 1. The frequency alignment type booster amplifier concerning this example of an operation form has a tuning circuit and an amplifying circuit for selection of TV signal, and amplification, serves as circuitry as shown in drawing 4, and has given the sign corresponding to the circuit diagram of drawing 4 to each circuitry element shown in drawing 2. However, drawing 4 can show an example of circuitry and this invention can be applied also to the electronic-circuitry unit which has circuitry other than this.

[0014] As shown in drawing 4, frequency alignment type booster amplifier has the capacitors C1-C7 which are the circuitry elements of a tuning circuit and an amplifying circuit, resistance R1-R3, the inductance elements L1-L3, diode D1, a transistor Tr1, a track S1, and S2 grade, and the electric conduction pattern which connects these circuitry elements and them is prepared in the front face of the alumina substrate 1. This electric conduction pattern is what formed Cr, Cu, etc. using thin film technologies, such as sputtering, attaches Sign P in drawing 2, and is expressed by hatching.

[0015] If the circuitry of frequency alignment type booster amplifier is explained briefly, in order to amplify TV signal of the frequency of choice with selection, it consists of a tuning circuit which consists of the inductance elements L2 and L3, capacitors C3 and C4, and diode D1, and an amplifying circuit which consists of a transistor Tr1, its circumference circuit element (resistance R1-R3, capacitor C6), and unbalance / balanced sensing element T. TV signal of two or more frequency is inputted into a tuning circuit through a capacitor C1. Since it carries out adjustable [of the tuning frequency (resonance frequency) of a tuning circuit] by control of the voltage (Vctl) applied to the cathode of diode D1, by making it in agreement with the frequency of TV signal for which it wishes, only TV signal for which it wishes is chosen and it is inputted into the base of the transistor Tr1 of an amplifying circuit through a capacitor C5. Bias voltage is given to the base of a transistor Tr1 at the part piezo-resistances R1 and R2 for base biases, and the collector current (** emitter current) of a transistor Tr1 is set up with the resistance of an emitter resistance R3. TV signal amplified by the transistor Tr1 is outputted from a collector, and unbalance / balanced sensing element T is formed in the collector. This unbalance / balanced sensing element T are constituted by the inductance element which consists of tracks S1 and S2 of the couple combined mutually, and balanced TV signal is outputted from the ends of a track S2, and it is inputted into the UHF tuner mentioned above.

[0016] As shown in drawing 2, the electrode (GND) for grounding, the electrode for an input (Vcc, Vctl, RFin), and the electrode (RFout) for an output are formed in the edge of the alumina substrate 1, and these are constituted by some electric conduction patterns P. The electrode for grounding, the electrode for an input, and the electrode for an output are formed only in the two long side side as for which the rectangle-like alumina substrate 1 carries out phase opposite, and are not formed in the other two shorter side side which carry out phase opposite. That is, a GND electrode is formed in both the corners by the side of one long side of the alumina substrate 1 (corner), and the Vcc electrode, the RFin electrode, and the Vctl electrode are formed between these GND electrodes. Moreover, a GND electrode is formed in three both corners and near the long side side of another side of the alumina substrate 1, and two RFout electrodes are formed between these GND electrodes. In addition, two long sides of the alumina substrate 1 correspond to the parting line when cutting the size version substrate to strip-of-paper-like the piece of division, and two shorter sides of the alumina substrate 1 correspond to the parting line when carrying out the subdivision rate of this piece of division further so that it may mention later.

[0017] On the other hand, as shown in drawing 3, the electric conduction pattern P1 (back plate) prepared in the rear face of the alumina substrate 1 has countered each electrode (GND) for grounding, the electrode for an input (Vcc, Vctl, RFin), and the electrode (RFout) for an output, and as shown in drawing 5 and drawing 6, both have flowed through it through the end-face electrode 3. This end-face electrode 3 is what carried out the laminating of nickel ground deposit and the Au deposit one by one on Ag thick-film layer, and Ag thick-film layer of the lowest layer consists of low-temperature baking material which calcinated this about [200 degrees] by C, after carrying out thick-film formation of the Ag paste which does not contain a

glass component. Moreover, an interlayer's nickel ground deposit does not make adhesion of Au deposit easy, and when Au deposit of the best layer is soldered to the solder land of the mother substrate which does not illustrate the end-face electrode 3, it is for preventing that Ag of the lowest layer deposits in solder. And in the finished product of an electronic-circuitry unit with which the shield covering 2 was attached in the alumina substrate 1, piece of foot 2a bent and formed in the side of the shield covering 2 is soldered to the electrode (GND) for grounding, and the flowing end-face electrode 3, and the shield covering 2 will be in the state where it was grounded in four corners of the alumina substrate 1.

[0018] Among each circuitry element mentioned above, capacitors C1-C7 are what carried out the laminating of the up electrode through the dielectric film of SiO₂ grade on the lower electrode, and thin film formation of these is carried out using sputtering etc. Cu layer is prepared in the front face of an up electrode, and Q of a resonance circuit is raised by this Cu layer. The lower electrode and up electrode of capacitors C1-C7 are connected to the electric conduction pattern P, and as shown in drawing 2, the proximity section G for electric discharge (air gap) is formed in the capacitor C7, the Vcc inter-electrode electric conduction pattern P and a capacitor C7, the RFout inter-electrode electric conduction pattern P and a capacitor C2, and the Vctl inter-electrode electric conduction pattern P, respectively. This proximity section G is constituted by the projected part of the couple prepared in each of the electric conduction pattern P which countered mutually and was installed, and the tips of both projected parts have consisted and countered the predetermined gap. In this case, since each dimensional accuracy of the electric conduction pattern P and a GND electrode becomes high by the thin film technology, it can narrow the gap size of the proximity section G, and electric discharge by the low battery is possible for it. Moreover, among each capacitors C1-C7, although formed in the shape of [simple] a rectangle, about capacitors C2 and C7, a capacitor C1, and C3-C5 are formed in the shape of [which combined two or more rectangles] an anomaly. That is, a capacitor C2 has the shape of a concave which made two rectangles project from one side of one rectangle, and the capacitor C7 has become the configuration which made three rectangles shift and continue in the direction of a long side. These capacitors C2 and C7 are capacitors for grounding which need comparatively big capacity value, and if the capacitors C2 and C7 for grounding are made into the shape of such an anomaly, the space where it was restricted on the alumina substrate 1 is used effectively, and they can carry out high density assembly of the capacitor of desired capacity value.

[0019] Furthermore, among each capacitors C1-C7, the capacitor C6 consists of two capacitors for grounding which differ in a size, and parallel connection of both is carried out through the electric conduction pattern P of the couple separated mutually. That is, although the electrode section of one way each of the capacitor C6 for both groundings is connected to the electric conduction pattern P for grounding connected with a GND electrode as shown in drawing 2, the electrode section of each another side of the capacitor C6 for both groundings is connected to the connection land SL of a transistor Tr1 through two separated electric conduction patterns P. The capacitor C6 is formed between the emitter of a transistor Tr1, and grounding, and since the aforementioned connection land SL is a part where wire bonding of the emitter electrode of a transistor Tr1 is carried out, the capacity value of a capacitor C6 will be set up by two capacitors for grounding by which parallel connection was carried out through the separated electric conduction pattern P, so that clearly from drawing 4. Therefore, the inductance of the whole electric conduction pattern P from the emitter electrode of a transistor Tr1 to grounding through a capacitor C6 decreases. Since the grounding effect of the connection land SL by the capacitor C6 for grounding will improve and the parasitic oscillation frequency by each capacitor C6 for grounding and each electric conduction pattern P becomes high, Parasitic oscillation can be abolished by setting up this frequency more than the operating point frequency of a transistor Tr1.

[0020] Resistance R1-R3 is what formed the resistance film of for example, TaSiO₂ grade using thin film technologies, such as sputtering, and the dielectric film of SiO₂ grade is prepared in the front face if needed. As shown in drawing 2, among three resistance R1-R3, resistance R1 and R2 is installed in the position which approached mutually on the alumina substrate 1 side by side,

thin film formation is carried out, and thin film formation of the remaining resistance R3 is carried out in the position distant from resistance R1 and R2. Thus, since thin film formation has been carried out, though the resistance of each resistance R1 and R2 produces variation to a request value in the position which approached resistance R1 and R2, the ratio of the variation in resistance R1 and the R2 whole can be made the same. Resistance R1 and R2 is part piezo-resistances for base biases of a transistor Tr1, and the voltage of $R1/(R1+R2) \times Vcc$ is impressed to the base of a transistor Tr1 so that clearly from drawing 4. Here, as the ratio of the variation in the resistance R1 which is a part piezo-resistance for base biases, and the R2 whole was mentioned above, since it is always the same, the trimming of resistance to these resistance R1 and R2 becomes unnecessary. On the other hand, resistance R3 is an emitter resistance of a transistor Tr1, and current flows from a Vcc electrode to the collector and emitter of a transistor Tr1, and is further grounded through resistance R3. Since the contribution to the amplification degree of the transistor Tr1 by the resistance R3 which is an emitter resistance among each resistance R1-R3 is the largest, only resistance R3 is trimmed and it has been made to carry out output adjustment here so that current value may become fixed.

[0021] In addition, if thin film formation of the resistance R1, R2, and R4 which is part piezo-resistances for base biases of both the transistors Tr1 and Tr2 is carried out in the position which approached mutually on the alumina substrate 1 in the case of the circuitry which carried out the series connection of another transistor Tr2 to the transistor Tr1 as shown in drawing 9, the trimming of resistance to these resistance R1, R2, and R4 will become unnecessary. Therefore, the current value of both the transistors Tr1 and Tr2 can be set up by trimming only the resistance R3 which is an emitter resistance in this case.

[0022] Moreover, the inductance elements L1-L3 and tracks S1 and S2 are what formed Cr, Cu, etc. using thin film technologies, such as sputtering, and are connected to the electric conduction pattern P. Cu layer is prepared in the front face of each inductance elements L1-L3, and Q of a resonance circuit is raised by this Cu layer. The inductance elements L1 and L2 are formed by each in the shape of [of a square shape] spiral shape, and wire bonding of each end is carried out to the Vctl electrode or the electric conduction pattern P for grounding. The inductance element L2 is an object for a resonance frequency setup which sets up the resonance frequency of an outline, and the inductance element L3 is following the other end of the inductance element L2. The inductance element L3 is an electric conduction pattern for adjustment for adjusting resonance frequency, and as the dashed line of drawing 2 shows, by trimming and deleting the inductance element L3, the number of turns of the inductance element L2 increase, and it adjusts resonance frequency. In this case, if it is made for the conductor width of the inductance element L3 after trimming to become the same as the conductor width of the inductance element L2 for a resonance frequency setup, it becomes impossible for the characteristic impedance of the inductance element L2 and the inductance element L3 to change, and C/N ratio can obtain a good oscillation.

[0023] As mentioned above, unbalance / balanced sensing element T is constituted by the inductance element which consists of tracks S1 and S2 of the couple combined mutually, and thin film formation of these tracks S1 and S2 is carried out on the alumina substrate 1. These tracks S1 and S2 are formed in the shape of a whorl so that it may counter through a predetermined gap on the alumina substrate 1, the ends of one track S1 are connected to the electric conduction pattern P connected to the collector electrode and capacitor C7 of a transistor Tr1, and the ends of the track S2 of another side are connected to the RFout electrode of a couple. In this case, since the dimensional accuracy of the tracks S1 and S2 by which thin film formation was carried out is high, the gap between both the tracks S1 and S2 can be narrowed, desired degree of coupling can be secured, and small unbalance / balanced sensing element T can be established in the space where it was restricted on the alumina substrate 1. In addition, as shown in drawing 10, you may form the tracks S1 and S2 of the couple which counters through a predetermined gap in the shape of zigzag on the alumina substrate 1.

[0024] Moreover, diode D1 and a transistor Tr1 carry a semiconductor bare chip in the connection land of the electric conduction pattern P by which thin film formation was carried out on the alumina substrate 1, and carry out wire bonding of this semiconductor bare chip to the

electric conduction pattern P. That is, as while the square shape configuration was established on nothing and its undersurface shows the semiconductor bare chip of diode D1 to drawing 2, an electrode is fixed to a connection land using electroconductive glues, such as cream solder and conductive paste, and wire bonding of the electrode of another side established in the upper surface of a semiconductor bare chip is carried out to the predetermined part of the electric conduction pattern P. Moreover, the collector electrode by which the square shape configuration was prepared also in the semiconductor bare chip of a transistor Tr1 on nothing and its undersurface is fixed to a connection land using an electroconductive glue, and wire bonding of a base electrode and the emitter electrode is carried out to the predetermined part of the electric conduction pattern P. The laminating of nickel ground deposit and the Au deposit is carried out one by one on these connection land as well as the end-face electrode 3 mentioned above. Here, as shown in drawing 7 (a) or (b), the area of the connection land 5 is small formed to the undersurface product of the semiconductor bare chip 4, and since an electroconductive glue collects under the semiconductor bare chip 4 and the section is secured by adopting such composition, the accident which an electroconductive glue protrudes from the appearance of the semiconductor bare chip 4, and connects with the surrounding electric conduction pattern P too hastily can be prevented beforehand. Moreover, opening 5a is prepared in the interior of the connection land 5, and since an excessive electroconductive glue is accumulated by this in opening 5a, the flash of an electroconductive glue can be prevented more certainly.

[0025] Next, the manufacturing process of the constituted electronic-circuitry unit is explained mainly using drawing 8 like the above.

[0026] First, as shown in drawing 8 (a), after carrying out sputtering of the TaSiO₂ grade to the whole front face of the alumina substrate 1, the portion equivalent to resistance R1-R3 is constituted by *****ing this in a request configuration and forming the resistance film 6. Next, as shown in drawing 8 (b), after carrying out sputtering of the upper shell Cr, Cu, etc. of the resistance film 6, *****ing this in a request configuration and forming the lower electrode 7, as shown in drawing 8 (c), sputtering of the upper shell SiO₂ grade of the lower electrode 7 is carried out, this is *****ed in a request configuration, and a dielectric film 8 is formed. Next, as shown in drawing 8 (d), after carrying out sputtering of the upper shell Cr, Cu, etc. of a dielectric film 8, this is *****ed in a request configuration and the up electrode 9 is formed. Consequently, the portion which is equivalent to the electric conduction pattern P, the inductance elements L1-L3, and tracks S1 and S2 with the lower electrode 7 or the up electrode 9 is constituted, and the portion which is equivalent to capacitors C1-C7 with the layered product of the lower electrode 7, a dielectric film 8, and the up electrode 9 is constituted. Next, after forming Cu layer in the front face of the portion equivalent to the inductance elements L1-L3, tracks S1 and S2, and capacitors C1-C7 by plating or the thin film technology, as shown in drawing 8 (e), a protective coat 10 is formed in the portion except the electric conduction pattern P. Next, as shown in drawing 8 (f), after carrying out sputtering of Cr, the Cu, etc. to the whole rear face of the alumina substrate 1, the portion equivalent to the electric conduction pattern P1 by the side of a rear face is constituted by *****ing this in a request configuration and forming a back plate 11.

[0027] In addition, the process of - (f) is performed to the size version substrate which consists of alumina material on which the part groove prolonged in the shape of a grid in all directions was engraved, and the process of drawing 8 [which was explained above] (a) drawing 8 [which is explained below] (g) - (j) is performed to the piece of division of the shape of a strip of paper acquired by on the other hand cutting this size version substrate along the division slot on Mukai.

[0028] Namely, after cutting the size version substrate to strip-of-paper-like the piece of division, as shown in drawing 8 (g) Thick-film formation of the Ag layer 12 is carried out in the ends side of the alumina substrate 1 which is the cutting plane of this piece of division. It flows through the electrode (GND) for grounding of the electric conduction patterns P and P1, the electrode for an input (Vcc, Vctl, RFin), and the electrode (RFout) comrade for an output who were prepared in front reverse side both sides of the alumina substrate 1 in the Ag layer 12. This Ag layer 12 is low-temperature baking material which consists of an Ag paste which is equivalent

to Ag thick-film layer of the end-face electrode 3 mentioned above, and does not contain a glass component. In addition, although it is also possible to perform the thick-film formation process of this Ag layer 12 to one piece of strip-of-paper-like division, if two or more pieces of division are changed into the state where consisted the crevice between some and it piled up, thick-film formation of the Ag layer 12 can be simultaneously carried out to two or more pieces of division, and it will become suitable for mass production method. Next, after plating nickel ground layer and Au layer one by one on the Ag layer 12 and each front face of the connection land in which a semiconductor bare chip is carried, as shown in drawing 8 (h), diode D1 and the semiconductor bare chip of a transistor Tr1 are used and fixed for electroconductive glues, such as cream solder and conductive paste, on each connection land. In this case, since the area of a connection land is small formed to the undersurface product of a semiconductor bare chip as mentioned above, the flash from the semiconductor bare chip of an electroconductive glue is prevented, and an electroconductive glue connects with the electric conduction pattern P around a semiconductor bare chip, and un-wanting too hastily. Next, while trimming the resistance R3 which is an emitter resistance and carrying out output adjustment as shown in drawing 8 (j) after carrying out wire bonding of each semiconductor bare chip to the predetermined part of the electric conduction pattern P as shown in drawing 8 (i), the inductance element L3 which is an electric conduction pattern for adjustment is trimmed, and resonance frequency is adjusted. In this case, since adjustment of resonance frequency is performed in the state of the piece of strip-of-paper-like division before dividing into each alumina substrate 1 and the electrode (GND) for grounding is prepared in the corner of each alumina substrate 1, The electrode (GND) for grounding will surely be located between the electrode for an input (Vcc, Vctl, RFin) prepared in the adjoining alumina substrate 1, and the electrode (RFout) for an output, and a bad influence is done to the circuit of the alumina substrate 1 where adjustment of resonance frequency adjoins.

[0029] Subsequently, an electronic-circuitry unit as shown in drawing 1 is obtained by attaching the shield covering 2 in each alumina substrate 1 of the piece of strip-of-paper-like division, and carrying out the fragmentation rate of the piece of division to the end-face electrode 3 which flows through piece of foot 2a of this shield covering 2 in the electrode (GND) for grounding along the division slot on another side after a soldering beam at each alumina substrate 1.

[0030] Thus, according to the electronic-circuitry unit concerning the constituted above-mentioned example of an operation gestalt While carrying out thin film formation of the electric conduction pattern P connected to the circuit element and these circuit elements of capacitors C1-C7, resistance R1-R3, the inductance elements L1-L3, a track S1, and S2 grade on the alumina substrate 1 Since the end-face electrode 3 which carries out wire bonding of diode D1 and the semiconductor bare chip of a transistor Tr1 on this alumina substrate 1, and is connected to the electrode for grounding and the electrode for I/O of an electric conduction pattern at the side of the alumina substrate 1 was formed, The circuitry element needed can be mounted with high density on the alumina substrate 1 using a thin film technology and wire bonding of a semiconductor device, and the electronic-circuitry unit suitable surface mounting type for a miniaturization can be realized.

[0031] since [moreover,] the inductance element L2 for a resonance frequency setup was formed in the shape of a swirl among the inductance elements by which thin film formation was carried out and it made with the concentrated-constant type inductor for resonance -- the conductor of this inductance element L2 -- between distance can be narrowed, the miniaturization of the inductor for resonance can be attained, and the miniaturization of an electronic-circuitry unit can be realized also from this point Moreover, since Cu plating was prepared in the front face of all the inductance elements L1-L3 containing this inductance element L2, Q of a resonance circuit can be raised.

[0032] The inductance element L3 connected to the inductance element L2 for a resonance frequency setup Furthermore, nothing [the electric conduction pattern for adjustment and nothing]. Since the number of turns of the inductance element L2 are increased by the trimming of this inductance element L3 and resonance frequency was adjusted, Since resonance frequency can be adjusted easily and it was made for the conductor width of the inductance

element L3 after trimming and the inductance element L2 for a resonance frequency setup to become the same moreover. It becomes impossible for the characteristic impedance of the inductance element L2 and the inductance element L3 to change, and C/N ratio can obtain a good oscillation.

[0033]

[Effect of the Invention] this invention is carried out with a gestalt which was explained above, and does so an effect which is indicated below.

[0034] the conductor of the high density assembly of the passive circuit elements which carry out wire bonding of the semiconductor bare chip while carrying out thin film formation of the circuit element which contains a capacitor, resistance, and an inductance element on an alumina substrate, write the inductance element which constitutes the inductance element for a resonance frequency setup at least as the shape of spiral shape, and are needed on an alumina substrate not only being carried out but the inductance element for a resonance frequency setup -- between distance can be narrowed by the thin film technology, and the miniaturization of an electronic-circuitry unit can be realized

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective diagram of the electronic-circuitry unit concerning the example of an operation gestalt of this invention.

[Drawing 2] It is the plan of an alumina substrate showing a circuitry layout.

[Drawing 3] It is the rear-face view of an alumina substrate.

[Drawing 4] It is explanatory drawing of circuitry.

[Drawing 5] It is the perspective diagram showing an end-face electrode.

[Drawing 6] It is the cross section of an end-face electrode.

[Drawing 7] It is explanatory drawing showing the relation between a semiconductor bare chip and a connection land.

[Drawing 8] It is explanatory drawing showing the manufacturing process of an electronic-circuitry unit.

[Drawing 9] It is explanatory drawing of other circuitry.

[Drawing 10] It is the plan of an alumina substrate showing other circuitry layouts.

[Description of Notations]

- 1 Alumina Substrate
- 2 Shield Covering
- 3 End-Face Electrode
- 4 Semiconductor Bare Chip
- 5 Connection Land
- 5a Opening
- 6 Resistance Film
- 7 Lower Electrode
- 8 Dielectric Film
- 9 Up Electrode
- 10 Protective Coat
- 11 Back Plate
- 12 Ag Layer
- C1-C7 Capacitor
- R1-R3 Resistance
- L1-L3 Inductance element
- Tr1, Tr2 Transistor
- S1, S2 Track
- P, P1 Electric conduction pattern
- SL Connection land

[Translation done.]

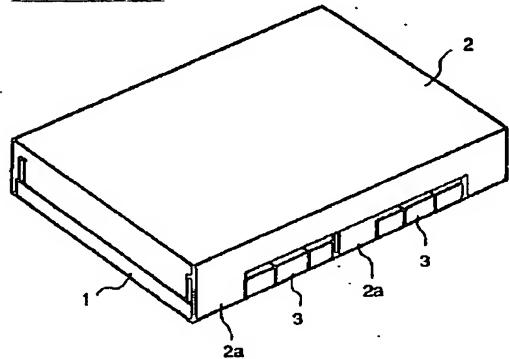
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

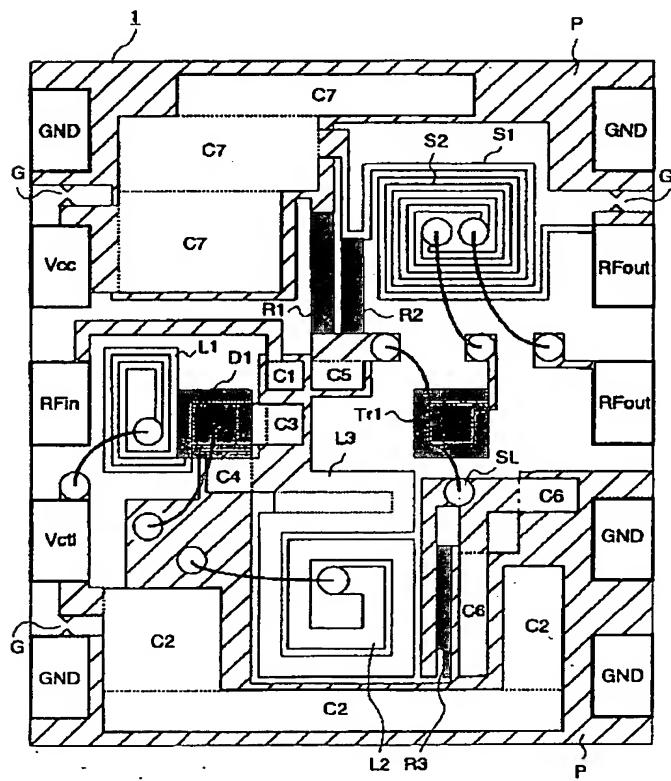
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

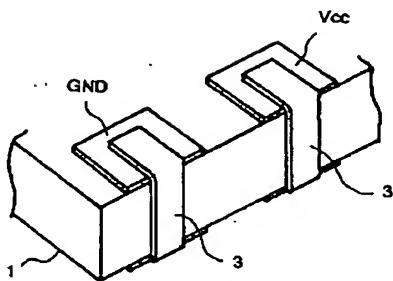
[Drawing 1]



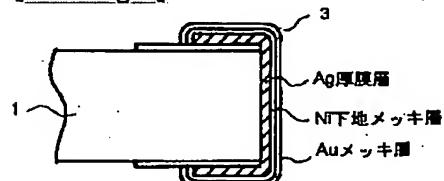
[Drawing 2]



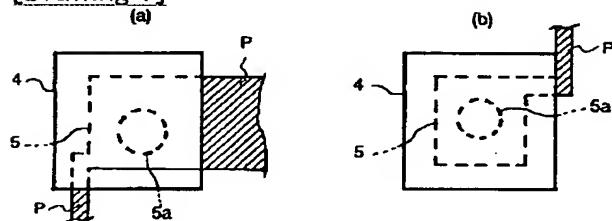
[Drawing 5]



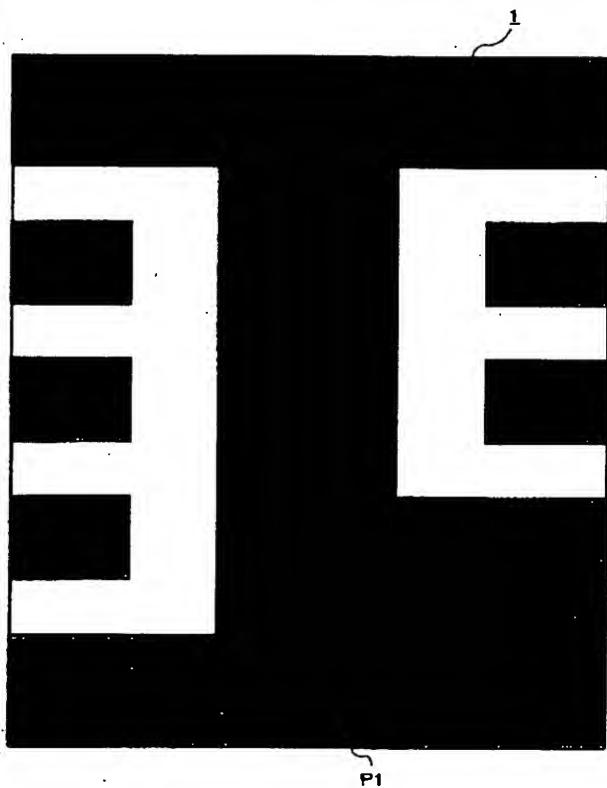
[Drawing 6]



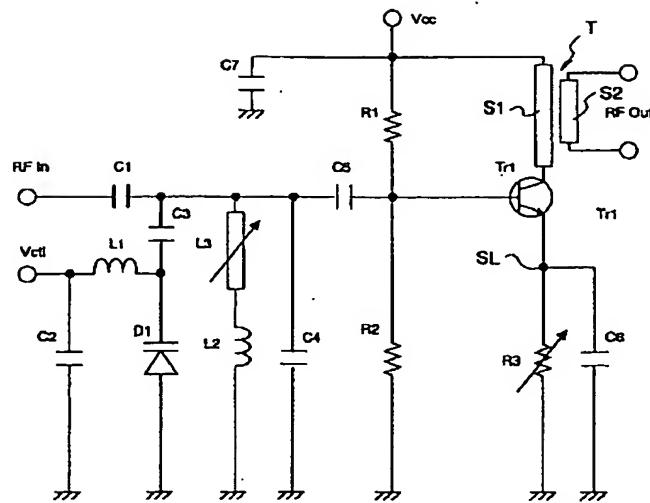
[Drawing 7]



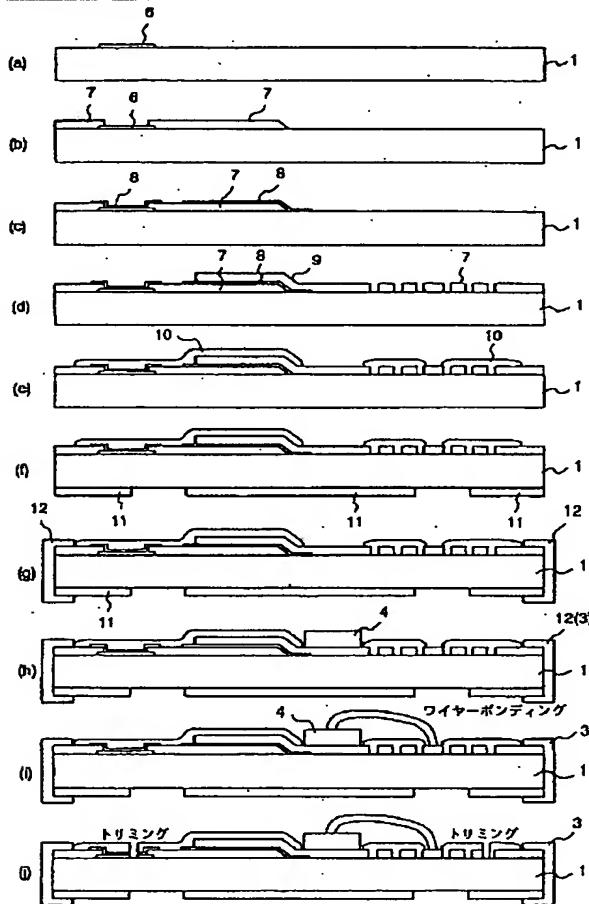
[Drawing 3]



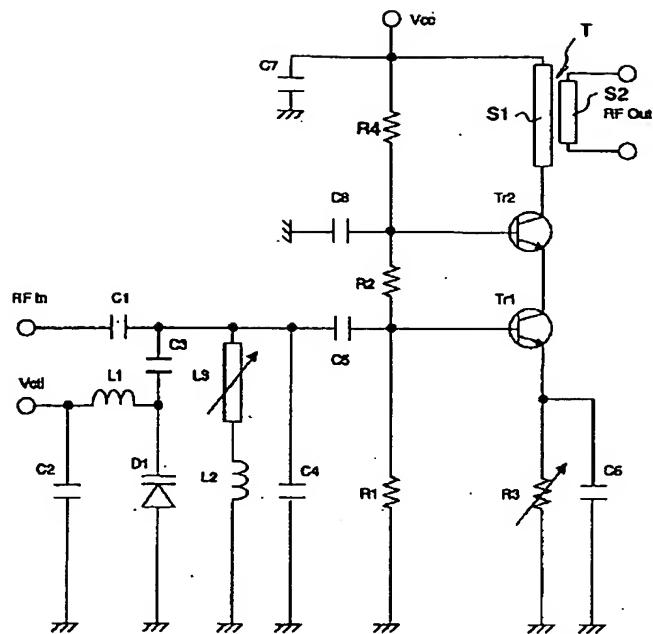
[Drawing 4]



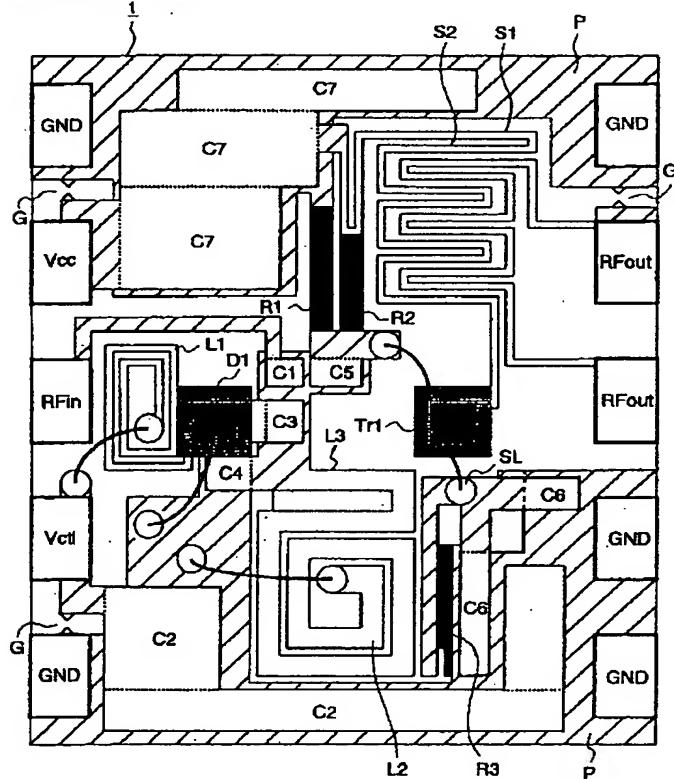
[Drawing 8]



[Drawing 9]



[Drawing 10]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-339243

(P2001-339243A)

(43)公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl.⁷
H 03 B 5/18
H 01 F 17/00
H 03 B 5/02
5/12

識別記号

F I
H 03 B 5/18
H 01 F 17/00
H 03 B 5/02
5/12

マークコード^{*}(参考)
C 5 E 070
B 5 J 081
B
G

審査請求 有 請求項の数4 OL (全9頁)

(21)出願番号 特願2000-160282(P2000-160282)

(22)出願日 平成12年5月30日 (2000.5.30)

(71)出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72)発明者 善里 彰之

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72)発明者 井上 明彦

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(74)代理人 100078134

弁理士 武 頭次郎 (外2名)

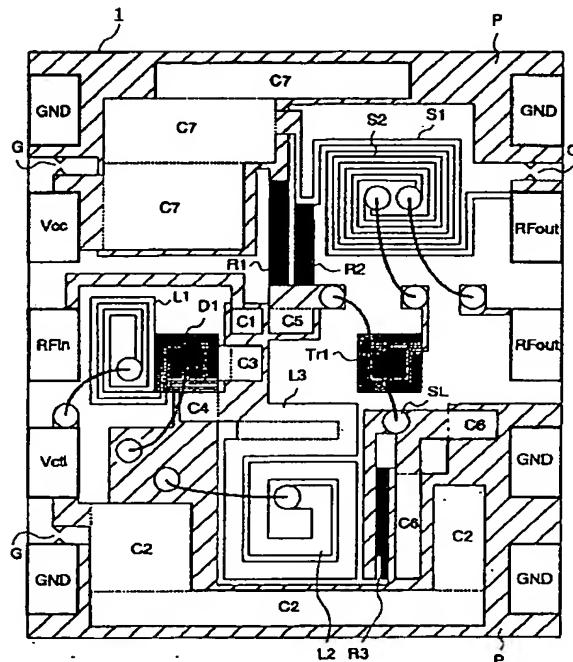
最終頁に続く

(54)【発明の名称】電子回路ユニット

(57)【要約】

【課題】小型化に好適な面実装タイプの電子回路ユニットを提供すること。

【解決手段】アルミナ基板1上にコンデンサC1～C7と抵抗R1～R3およびインダクタンス素子L1～L3等を含む回路素子を薄膜形成すると共に、ダイオードD1とトランジスタTr1の半導体ベアチップ4をワイヤーボンディングし、かつ、薄膜形成されたインダクタンス素子L1～L3のうち、インダクタンス素子L2を渦巻き状に形成して共振周波数設定用インダクタンス素子となし、このインダクタンス素子L2に接続されたインダクタンス素子L3を調整用導電パターンとなし、該インダクタンス素子L3のトリミングによりインダクタンス素子L2の巻数を増加して共振周波数を調整するようにした。



【特許請求の範囲】

【請求項1】 アルミナ基板上に薄膜形成されたコンデンサと抵抗およびインダクタンス素子を含む回路素子と、前記アルミナ基板上にワイヤーボンディングされた半導体ベアチップとを備え、前記インダクタンス素子が少なくとも共振周波数設定用インダクタンス素子を有し、この共振周波数設定用インダクタンス素子を渦巻き形状に薄膜形成したことを特徴とする電子回路ユニット。

【請求項2】 請求項1の記載において、前記共振周波数設定用インダクタンス素子の表面にC uメッキを設けたことを特徴とする電子回路ユニット。

【請求項3】 請求項1または2の記載において、前記アルミナ基板上に前記共振周波数設定用インダクタンス素子に接続された調整用導電パターンを薄膜形成し、この調整用導電パターンのトリミングにより前記共振周波数設定用インダクタンス素子の巻数を増加して共振周波数を調整するように構成したことを特徴とする電子回路ユニット。

【請求項4】 請求項3の記載において、前記共振周波数設定用インダクタンス素子とトリミング後の前記調整用導電パターンのそれぞれの導体幅を略同一に設定したことを特徴とする電子回路ユニット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、面実装タイプの電子回路ユニットに関する。

【0002】

【従来の技術】 一般的に、この種の面実装タイプの電子回路ユニットは、基板上に設けられた導電パターンの半田ランドに各種回路部品を半田付けし、これら回路部品をシールドカバーで覆うように概略構成されている。基板は多層基板にて構成され、内層部に接地導体に挟まれてマイクロストリップラインが設けられている。また、多層基板の側面に端面電極が設けられており、電子回路ユニットを母基板上に面実装する際、端面電極は母基板の半田ランドに半田付けされる。

【0003】 回路部品は同調回路や共振回路あるいは増幅回路等の必要とされる回路構成に応じて使用され、例えば共振回路用の回路部品としてはダイオードとチップコンデンサおよびインダクタ等が用いられ、増幅回路用の回路部品としてはトランジスタ、チップ抵抗、チップコンデンサおよびインダクタ等が用いられ、これらの回路部品は導電パターンを介して接続されるようになっている。

【0004】

【発明が解決しようとする課題】 ところで近年、チップ部品やトランジスタ等の回路部品を小形化する技術は著しく進歩しており、例えば外形寸法が 0.6×0.3 mm程度の超小形のチップ抵抗やチップコンデンサも実用化されて

いる。したがって、前述した従来の電子回路ユニットにおいても、このような小形のチップ部品やトランジスタ等を使用し、これらの回路部品を部品間ピッチを狭めた状態で基板上に実装すれば、電子回路ユニットをある程度までは小型化することが可能となる。しかしながら、チップ部品やトランジスタ等の回路部品の小形化には限界があり、しかも、多数の回路部品を基板上に実装する際に、各回路部品の半田付け部分が短絡しないようにしなければならないため、部品間ピッチを狭めるのにも限界があり、これらのが電子回路ユニットの更なる小型化を妨げる要因となっていた。また、前述した従来の電子回路ユニットにおいては、多層基板に設けられたマイクロストリップラインによって分布定数型の共振用インダクタが構成されているため、所望のQを得るのに必要とされるマイクロストリップラインが長くなり、この点からも電子回路ユニットの小型化が妨げられていた。

【0005】 本発明は、このような従来技術の実情に鑑みてなされたもので、その目的は、小型化に好適な電子回路ユニットを提供することにある。

【0006】

【課題を解決するための手段】 上記の目的を達成するために、本発明の電子回路ユニットでは、アルミナ基板上に薄膜形成されたコンデンサと抵抗およびインダクタンス素子を含む回路素子と、前記アルミナ基板上にワイヤーボンディングされた半導体ベアチップとを備え、前記インダクタンス素子が少なくとも共振周波数設定用インダクタンス素子を有し、この共振周波数設定用インダクタンス素子を渦巻き形状に薄膜形成した。

【0007】 このような構成によれば、コンデンサと抵抗およびインダクタンス素子を含む回路素子が薄膜技術を用いて高精度に形成され、しかも、半導体素子はベアチップをワイヤーボンディングしたものであるため、アルミナ基板上に必要とされる回路部品が高密度に実装され、小型化に好適な面実装タイプの電子回路ユニットを実現することができる。また、薄膜形成された渦巻き形状の共振周波数設定用インダクタンス素子によって集中定数型のインダクタが構成されるため、その導体間距離を狭めて小型化を図ることができ、この点からも電子回路ユニットの小型化を実現することができる。

【0008】 上記の構成において、共振周波数設定用インダクタンス素子を構成する渦巻き形状インダクタンス素子の表面にC uメッキを設けることが好ましく、このようにすると共振回路のQを高めることができる。

【0009】 また、上記の構成において、共振周波数設定用インダクタンス素子に接続された調整用導電パターンを薄膜形成し、この調整用導電パターンのトリミングにより共振周波数設定用インダクタンス素子の巻数を増加して共振周波数を調整するように構成することが好ましく、このようにすると共振周波数の調整を簡単に行なうことができる。この場合において、トリミング後の調

整用導電パターンの導体幅と共振周波数設定用インダクタンス素子の導体幅とを略同一にすることが好ましく、このようにすると両者の特性インピーダンスが変わらなくなるため、C/N比が良好な発振を得ることができると。

【0010】

【発明の実施の形態】以下、本発明の実施形態例について図面を参照して説明すると、図1は電子回路ユニットの斜視図、図2は回路構成レイアウトを示すアルミナ基板の平面図、図3はアルミナ基板の裏面図、図4は回路構成の説明図、図5は端面電極を示す斜視図、図6は端面電極の断面図、図7は半導体ベアチップと接続ランドの関係を示す説明図、図8は電子回路ユニットの製造工程を示す説明図である。

【0011】本実施形態例は周波数同調型ブースタアンプへの適用例であり、この周波数同調型ブースタアンプは携帯型テレビ機器の受信性能（特に、受信感度と耐妨害特性）向上のために図示せぬUHFチューナと組み合わせて使用され、希望周波数のTV信号を選択すると共に、選択したTV信号を増幅してUHFチューナに入力する機能を有する。

【0012】図1はかかる周波数同調型ブースタアンプ（電子回路ユニット）の外観を示し、同図に示すように、この周波数同調型ブースタアンプは、後述する回路構成素子を搭載したアルミナ基板1と、このアルミナ基板1に取付けられたシールドカバー2とで構成されており、図示せぬ母基板に半田付けされる面実装部品となっている。アルミナ基板1は方形平板状に形成されており、大版基板を短冊状の分割片に切断した後、この分割片をさらに細分割することによって得られる。シールドカバー2は金属板を箱形に折り曲げ加工したもので、アルミナ基板1上の回路構成素子はこのシールドカバー2によって覆われている。

【0013】図2に示すように、アルミナ基板1の表面には回路構成素子とそれらを接続する導電パターンが設けられており、また、図3に示すように、アルミナ基板1の裏面には背面電極としての導電パターンが設けられている。本実施形態例に係る周波数同調型ブースタアンプは、TV信号の選択と増幅のために同調回路と増幅回路とを有し、図4に示すような回路構成となっており、図2に示される各回路構成素子には図4の回路図に対応する符号を付してある。ただし、図4は回路構成の一例を示すものであり、本発明はこれ以外の回路構成を有する電子回路ユニットにも適用可能である。

【0014】図4に示すように、周波数同調型ブースタアンプは、同調回路および増幅回路の回路構成素子であるコンデンサC1～C7、抵抗R1～R3、インダクタンス素子L1～L3、ダイオードD1、トランジスタTr1、導電路S1、S2等を有し、これらの回路構成素子とそれを接続する導電パターンはアルミナ基板1の表

面に設けられている。この導電パターンは例えばCrやCu等をスパッタリング等の薄膜技術を用いて形成したもので、図2中には符号Pを付してハッチングによって表されている。

【0015】周波数同調型ブースタアンプの回路構成について簡単に説明すると、希望周波数のTV信号を選択と増幅するために、インダクタンス素子L2、L3とコンデンサC3、C4およびダイオードD1とからなる同調回路と、トランジスタTr1とその周辺回路素子（抵抗R1～R3、コンデンサC6）および不平衡／平衡変換素子Tとからなる増幅回路から構成されている。複数の周波数のTV信号はコンデンサC1を介して同調回路に入力される。同調回路の同調周波数（共振周波数）はダイオードD1のカソードに加える電圧（Vctl）の制御により可変するので、希望するTV信号の周波数に一致させることによって、希望するTV信号だけが選択され、コンデンサC5を介して増幅回路のトランジスタTr1のベースに入力される。トランジスタTr1のベースにはベースバイアス用分圧抵抗R1、R2にバイアス電圧が与えられ、トランジスタTr1のコレクタ電流（＝エミッタ電流）はエミッタ抵抗R3の抵抗値によって設定される。トランジスタTr1によって増幅されたTV信号はコレクタから出力され、コレクタには不平衡／平衡変換素子Tが設けられている。この不平衡／平衡変換素子Tは互いに結合した一対の導電路S1、S2からなるインダクタンス素子によって構成され、導電路S2の両端から平衡TV信号が出力され、前述したUHFチューナに入力される。

【0016】図2に示すように、アルミナ基板1の端部には接地用電極（GND）と入力用電極（Vcc、Vct1、RFin）および出力用電極（RFout）が形成されており、これらは導電パターンPの一部によって構成されている。接地用電極と入力用電極および出力用電極は方形のアルミナ基板1の相対向する2つの長辺側にのみ形成され、それ以外の相対向する2つの短辺側には形成されていない。すなわち、アルミナ基板1の一方の長辺側の両隅部（コーナ）にGND電極が形成され、これらGND電極の間にVcc電極とRFin電極およびVctl電極が形成されている。また、アルミナ基板1の他方の長辺側の両隅部とその近傍の3箇所にGND電極が形成され、これらGND電極の間に2つのRFout電極が形成されている。なお、後述するように、アルミナ基板1の2つの長辺は大版基板を短冊状の分割片に切断したときの分割線に対応し、アルミナ基板1の2つの短辺はこの分割片をさらに細分割したときの分割線に対応する。

【0017】一方、図3に示すように、アルミナ基板1の裏面に設けられた導電パターンP1（背面電極）はそれぞれの接地用電極（GND）と入力用電極（Vcc、Vctl、RFin）および出力用電極（RFout）に対向しており、図5と図6に示すように、両者は端面電極3を介

して導通されている。この端面電極3はA_g厚膜層の上にN_i下地メッキ層とA_uメッキ層を順次積層したもので、最下層のA_g厚膜層は、ガラス成分を含まないA_gペーストを厚膜形成した後、これを200°C程度で焼成した低温焼成材からなる。また、中間層のN_i下地メッキ層はA_uメッキ層の付着を容易にするもので、最上層のA_uメッキ層は、端面電極3を図示せぬ母基板の半田ランドに半田付けした際に、最下層のA_gが半田に析出するのを防止するためのものである。そして、シールドカバー2がアルミナ基板1に取付けられた電子回路ユニットの完成品において、シールドカバー2の側面に折り曲げ形成された脚片2aが接地用電極(GND)と導通する端面電極3に半田付けされており、シールドカバー2はアルミナ基板1の4隅で接地された状態となる。

【0018】前述した各回路構成素子のうち、コンデンサC1～C7は下部電極の上にSiO₂等の誘電体膜を介して上部電極を積層したもので、これらはスパッタリング等を用いて薄膜形成されている。上部電極の表面にはC_u層が設けられており、このC_u層によって共振回路のQが高められている。コンデンサC1～C7の下部電極と上部電極は導電パターンPに接続されており、図2に示すように、コンデンサC7とVcc電極間の導電パターンP、コンデンサC7とRFout電極間の導電パターンP、コンデンサC2とVctl電極間の導電パターンPには、それぞれ放電用の近接部(エーキャップ)Gが設けられている。この近接部Gは互いに対向して並設された導電パターンPのそれぞれに設けられた一対の突部によって構成されており、両突部の尖端同士は所定のギャップを有して対向している。この場合、導電パターンPとGND電極の寸法精度はいずれも薄膜技術により高くなるため、近接部Gのギャップ寸法を狭めることができ、低電圧での放電が可能となっている。また、各コンデンサC1～C7のうち、コンデンサC1とC3～C5は単純な方形状に形成されているが、コンデンサC2とC7については2つ以上の方形を組み合わせた異形状に形成されている。すなわち、コンデンサC2は1つの矩形の一辺から2つの矩形を突出させた凹形状であり、コンデンサC7は3つの矩形を長辺方向にずらして連続させた形状になっている。これらコンデンサC2とC7は比較的大きな容量値を必要とする接地用コンデンサであり、接地用コンデンサC2とC7をこのような異形状にすると、アルミナ基板1上の限られたスペースが有効利用され、所望の容量値のコンデンサを高密度実装することができる。

【0019】さらに、各コンデンサC1～C7のうち、コンデンサC6は大きさを異にする2つの接地用コンデンサで構成されており、両者は互いに分離された一対の導電パターンPを介して並列接続されている。すなわち、図2に示すように、両接地用コンデンサC6の各一方の電極部はGND電極に繋がる接地用の導電パターン

Pに接続されているが、両接地用コンデンサC6の各他の電極部は互いに分離された2つの導電パターンPを介してトランジスタTr1の接続ランドSLに接続されている。図4から明らかなように、コンデンサC6はトランジスタTr1のエミッタと接地間に設けられており、前記接続ランドSLはトランジスタTr1のエミッタ電極がワイヤーボンディングされる箇所であるため、コンデンサC6の容量値は互いに分離された導電パターンPを介して並列接続された2つの接地用コンデンサによって設定されることになる。したがって、トランジスタTr1のエミッタ電極からコンデンサC6を介して接地に至る導電パターンP全体のインダクタンスが減少して、接地用コンデンサC6による接続ランドSLの接地効果が向上することになり、また、各接地用コンデンサC6と各導電パターンPとによる寄生発振周波数が高くなるため、この周波数をトランジスタTr1の動作点周波数以上に設定することにより、寄生振動をなくすことができる。

【0020】抵抗R1～R3は例えばTaSiO₂等の抵抗膜をスパッタリング等の薄膜技術を用いて形成したもので、その表面には必要に応じてSiO₂等の誘電体膜が設けられている。図2に示すように、3つの抵抗R1～R3のうち、抵抗R1とR2はアルミナ基板1上の互いに近接した位置に並設して薄膜形成され、残りの抵抗R3は抵抗R1とR2から離れた位置に薄膜形成されている。このように抵抗R1とR2を近接した位置に薄膜形成してあるため、各抵抗R1、R2の抵抗値が所望値に対してバラツキを生じたとしても、抵抗R1、R2全体のバラツキの比率を同じにすることができる。図4から明らかなように、抵抗R1とR2はトランジスタTr1のベースバイアス用分圧抵抗であり、R1/(R1+R2)×Vccの電圧がトランジスタTr1のベースに印加される。ここで、ベースバイアス用分圧抵抗である抵抗R1、R2全体のバラツキの比率は前述したように常に同じであるため、これら抵抗R1、R2に対する抵抗値のトリミングは不要となる。一方、抵抗R3はトランジスタTr1のエミッタ抵抗であり、電流はVcc電極からトランジスタTr1のコレクタとエミッタに流れ、さらに抵抗R3を通って接地される。ここで、各抵抗R1～R3のうち、エミッタ抵抗である抵抗R3によるトランジスタTr1の増幅度への寄与が最も大きいため、電流値が一定になるように抵抗R3のみをトリミングして出力調整するようにしてある。

【0021】なお、図9に示すように、トランジスタTr1に別のトランジスタTr2を直列接続した回路構成の場合は、両トランジスタTr1、Tr2のベースバイアス用分圧抵抗である抵抗R1、R2、R4をアルミナ基板1上の互いに近接した位置に薄膜形成すれば、これら抵抗R1、R2、R4に対する抵抗値のトリミングは不要となる。したがって、この場合においても、エミッタ

タ抵抗である抵抗R3のみをトリミングすることにより、両トランジスタTr1、Tr2の電流値を設定することができる。

【0022】また、インダクタンス素子L1～L3と導電路S1、S2は、CrやCu等をスパッタリング等の薄膜技術を用いて形成したもので、導電パターンPに接続されている。各インダクタンス素子L1～L3の表面にはCu層が設けられており、このCu層によって共振回路のQが高められている。インダクタンス素子L1とL2はいずれも角形の渦巻き形状に形成されており、それぞれの一端はVct1電極や接地用の導電パターンPにワイヤーボンディングされている。インダクタンス素子L2は概略の共振周波数を設定する共振周波数設定用であり、インダクタンス素子L3はインダクタンス素子L2の他端に連続している。インダクタンス素子L3は共振周波数を調整するための調整用導電パターンであり、図2の破線で示すように、インダクタンス素子L3をトリミングして削ることにより、インダクタンス素子L2の巻数が増加して共振周波数を調整するようになっている。この場合、トリミング後のインダクタンス素子L3の導体幅が共振周波数設定用のインダクタンス素子L2の導体幅と同じになるようにすれば、インダクタンス素子L2とインダクタンス素子L3の特性インピーダンスが変わらなくなり、C/N比が良好な発振を得ることができる。

【0023】前述したように、不平圧／平衡変換素子Tは互いに結合した一対の導電路S1、S2からなるインダクタンス素子によって構成され、これら導電路S1、S2はアルミナ基板1上に薄膜形成されている。これら導電路S1、S2はアルミナ基板1上で所定のギャップを介して対向するように渦巻き状に形成されており、一方の導電路S1の両端はトランジスタTr1のコレクタ電極とコンデンサC7に接続された導電パターンPと接続され、他方の導電路S2の両端は一対のRFout電極に接続されている。この場合、薄膜形成された導電路S1、S2の寸法精度が高いため、両導電路S1、S2間のギャップを狭くして所望の結合度を確保することができ、アルミナ基板1上の限られたスペース内に小形の不平圧／平衡変換素子Tを設けることができる。なお、図10に示すように、所定のギャップを介して対向する一対の導電路S1、S2をアルミナ基板1上にジグザグ状に形成しても良い。

【0024】また、ダイオードD1とトランジスタTr1は、アルミナ基板1上に薄膜形成された導電パターンPの接続ランドに半導体ペアチップを搭載し、該半導体ペアチップを導電パターンPにワイヤーボンディングしたものである。すなわち、図2に示すように、ダイオードD1の半導体ペアチップは角形形状をなし、その下面に設けられた一方の電極がクリーム半田や導電ペースト等の導電性接着剤を用いて接続ランドに固定され、半導

体ペアチップの上面に設けられた他方の電極が導電パターンPの所定部位にワイヤーボンディングされている。また、トランジスタTr1の半導体ペアチップも角形形状をなし、その下面に設けられたコレクタ電極が導電性接着剤を用いて接続ランドに固定され、ベース電極とエミッタ電極が導電パターンPの所定部位にワイヤーボンディングされている。前述した端面電極3と同様に、これら接続ランド上にもNi下地メッキ層とAuメッキ層が順次積層されている。ここで、図7(a)または(b)に示すように、半導体ペアチップ4の下面積に対して接続ランド5の面積が小さく形成されており、このような構成を採用することにより、半導体ペアチップ4の下方に導電性接着剤の溜り部が確保されるため、導電性接着剤が半導体ペアチップ4の外形からはみ出して周囲の導電パターンPと短絡する事故を未然に防止することができる。また、接続ランド5の内部に開口5aが設けられており、これによって余剰の導電性接着剤が開口5a内に溜められるため、導電性接着剤のはみ出しをより確実に防止できるようになっている。

【0025】次に、上記の如く構成された電子回路ユニットの製造工程について主として図8を用いて説明する。

【0026】まず、図8(a)に示すように、アルミナ基板1の表面全体にTaSiO₂等をスパッタリングした後、これを所望形状にエッチングして抵抗膜6を形成することにより、抵抗R1～R3に相当する部分が構成される。次に、図8(b)に示すように、抵抗膜6の上からCrやCu等をスパッタリングし、これを所望形状にエッチングして下部電極7を形成した後、図8(c)に示すように、下部電極7の上からSiO₂等をスパッタリングし、これを所望形状にエッチングして誘電体膜8を形成する。次に、図8(d)に示すように、誘電体膜8の上からCrやCu等をスパッタリングした後、これを所望形状にエッチングして上部電極9を形成する。その結果、下部電極7または上部電極9によって導電パターンPとインダクタンス素子L1～L3および導電路S1、S2に相当する部分が構成され、下部電極7と誘電体膜8および上部電極9の積層体によってコンデンサC1～C7に相当する部分が構成される。次に、インダクタンス素子L1～L3と導電路S1、S2およびコンデンサC1～C7に相当する部分の表面にCu層をメッキまたは薄膜技術で形成した後、図8(e)に示すように、導電パターンPを除く部分に保護膜10を形成する。次に、図8(f)に示すように、アルミナ基板1の裏面全体にCrやCu等をスパッタリングした後、これを所望形状にエッチングして背面電極11を形成することにより、裏面側の導電パターンP1に相当する部分が構成される。

【0027】なお、以上説明した図8(a)～(f)の工程は、縦横に格子状に延びる分割溝が刻設されたアル

ミナ材からなる大版基板に対して行なわれ、以下に説明する図8 (g) ~ (j) の工程は、この大版基板を一方の分割溝に沿って切断することで得られる短冊状の分割片に対して行なわれる。

【0028】すなわち、大版基板を短冊状の分割片に切断した後、図8 (g) に示すように、この分割片の切断面であるアルミナ基板1の両端面にA g層12を厚膜形成し、アルミナ基板1の表裏両面に設けられた導電パターンP、P1の接地用電極(GND)と入力用電極(Vcc, Vctl, RFin)および出力用電極(RFout)同志をA g層12で導通する。このA g層12は前述した端面電極3のA g厚膜層に相当し、ガラス成分を含まないA gペーストからなる低温焼成材である。なお、かかるA g層12の厚膜形成工程を1つの短冊状分割片に対して行なうことも可能であるが、複数の分割片を若干の隙間を存して重ね合わせた状態にすれば、A g層12を複数の分割片に対して同時に厚膜形成することができ、大量生産に好適となる。次に、A g層12と半導体ペアチップが搭載される接続ランドの各表面にNi下地層とAu層を順次メッキした後、図8 (h) に示すように、各接続ランド上にダイオードD1とトランジスタTr1の半導体ペアチップをクリーム半田や導電ペースト等の導電性接着剤を用いて固定する。この場合、前述したように、半導体ペアチップの下面積に対して接続ランドの面積が小さく形成されているため、導電性接着剤の半導体ペアチップからのはみ出しが防止され、導電性接着剤が半導体ペアチップの周囲の導電パターンPと不所望に短絡しないようになっている。次に、図8 (i) に示すように、各半導体ペアチップを導電パターンPの所定部位にワイヤーボンディングした後、図8 (j) に示すように、エミッタ抵抗である抵抗R3をトリミングして出力調整すると共に、調整用導電パターンであるインダクタンス素子L3をトリミングして共振周波数を調整する。この場合、共振周波数の調整は個々のアルミナ基板1に分割する前の短冊状分割片の状態で行なわれ、各アルミナ基板1の隅部に接地用電極(GND)が設けられているため、隣接するアルミナ基板1に設けられた入力用電極(Vcc, Vctl, RFin)および出力用電極(RFout)間に必ず接地用電極(GND)が位置することになり、共振周波数の調整が隣接するアルミナ基板1の回路へ悪影響を及ぼさないようになっている。

【0029】次いで、短冊状分割片の個々のアルミナ基板1にシールドカバー2を取付け、該シールドカバー2の脚片2aを接地用電極(GND)に導通する端面電極3に半田付けた後、分割片を他方の分割溝に沿って個々のアルミナ基板1に細分割することにより、図1に示すような電子回路ユニットが得られる。

【0030】このように構成された上記実施形態例に係る電子回路ユニットによれば、アルミナ基板1上にコンデンサC1~C7、抵抗R1~R3、インダクタンス素

子L1~L3、導電路S1、S2等の回路素子とこれら回路素子に接続される導電パターンPとを薄膜形成すると共に、このアルミナ基板1上にダイオードD1とトランジスタTr1の半導体ペアチップをワイヤーボンディングし、かつ、アルミナ基板1の側面に導電パターンの接地用電極と入出力用電極に接続される端面電極3を設けたため、必要とされる回路構成素子を薄膜技術と半導体素子のワイヤーボンディングとを用いてアルミナ基板1上に高密度に実装でき、小型化に好適な面実装タイプの電子回路ユニットを実現することができる。

【0031】また、薄膜形成されたインダクタンス素子のうち、共振周波数設定用のインダクタンス素子L2を渦巻き状に形成して集中定数型の共振用インダクタとしたため、該インダクタンス素子L2の導体間距離を狭めて共振用インダクタの小型化を図ることができ、この点からも電子回路ユニットの小型化を実現することができる。また、このインダクタンス素子L2を含む全てのインダクタンス素子L1~L3の表面にCuメッキを設けたため、共振回路のQを高めることができる。

【0032】さらに、共振周波数設定用のインダクタンス素子L2に接続されたインダクタンス素子L3を調整用導電パターンとし、該インダクタンス素子L3のトリミングによりインダクタンス素子L2の巻数を増加して共振周波数を調整するようしたため、共振周波数の調整を簡単に行なうことができ、しかも、トリミング後のインダクタンス素子L3と共振周波数設定用のインダクタンス素子L2の導体幅が同じになるようにしたため、インダクタンス素子L2とインダクタンス素子L3の特性インピーダンスが変わらなくなり、C/N比が良好な発振を得ることができる。

【0033】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。

【0034】アルミナ基板上にコンデンサと抵抗およびインダクタンス素子を含む回路素子を薄膜形成すると共に半導体ペアチップをワイヤーボンディングし、少なくとも共振周波数設定用インダクタンス素子を構成するインダクタンス素子を渦巻き形状としたため、アルミナ基板上に必要とされる回路部品を高密度実装できるのみならず、共振周波数設定用インダクタンス素子の導体間距離を薄膜技術により狭めることができ、電子回路ユニットの小型化を実現することができる。

【図面の簡単な説明】

【図1】本発明の実施形態例に係る電子回路ユニットの斜視図である。

【図2】回路構成レイアウトを示すアルミナ基板の平面図である。

【図3】アルミナ基板の裏面図である。

【図4】回路構成の説明図である。

【図5】端面電極を示す斜視図である。

【図 6】端面電極の断面図である。

【図 7】半導体ペアチップと接続ランドの関係を示す説明図である。

【図 8】電子回路ユニットの製造工程を示す説明図である。

【図 9】他の回路構成の説明図である。

【図 10】他の回路構成レイアウトを示すアルミナ基板の平面図である。

【符号の説明】

- 1 アルミナ基板
- 2 シールドカバー
- 3 端面電極
- 4 半導体ペアチップ
- 5 接続ランド
- 5a 開口

6 抵抗膜

7 下部電極

8 誘電体膜

9 上部電極

10 保護膜

11 背面電極

12 Ag 層

C1～C7 コンデンサ

R1～R3 抵抗

L1～L3 インダクタンス素子

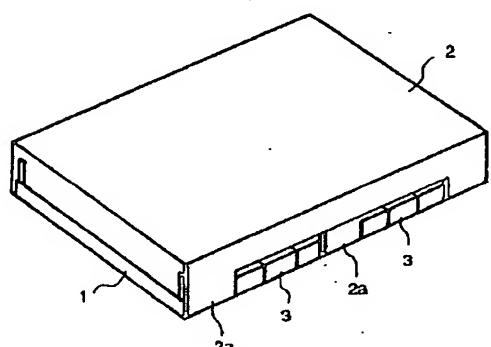
Tr1, Tr2 トランジスタ

S1, S2 導電路

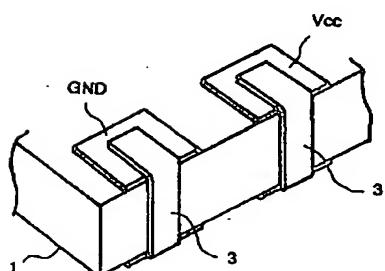
P, P1 導電パターン

SL 接続ランド

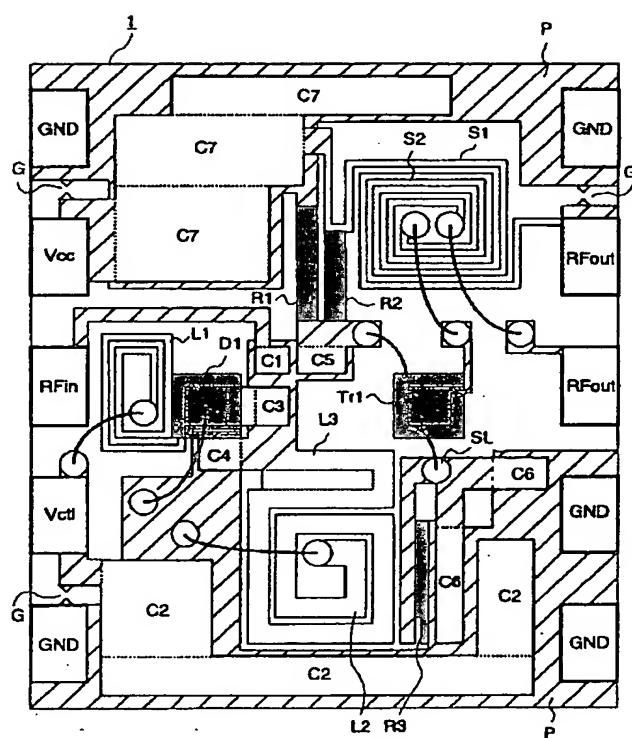
【図 1】



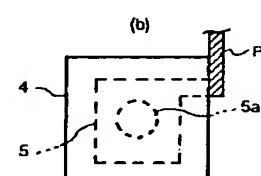
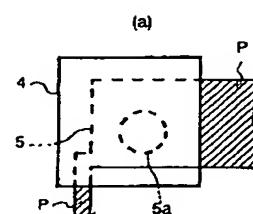
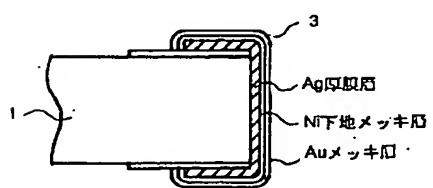
【図 5】



【図 2】

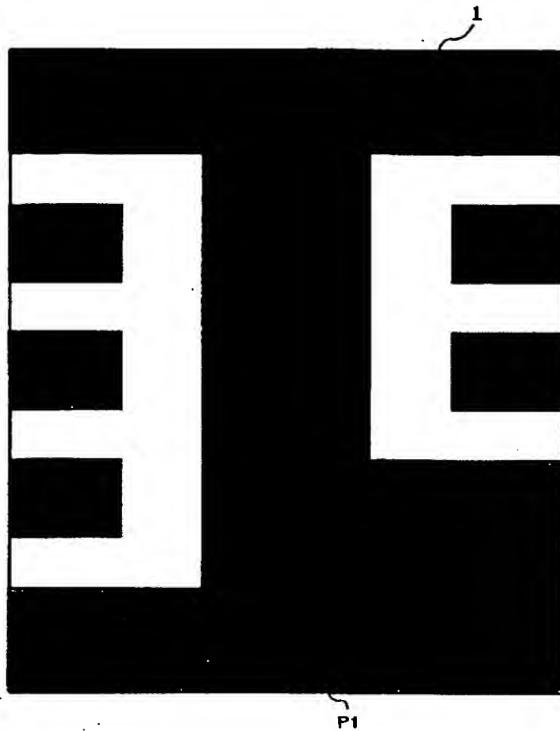


【図 6】

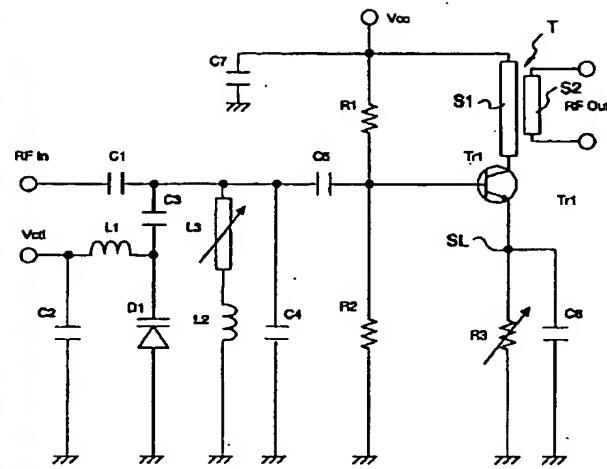


【図 7】

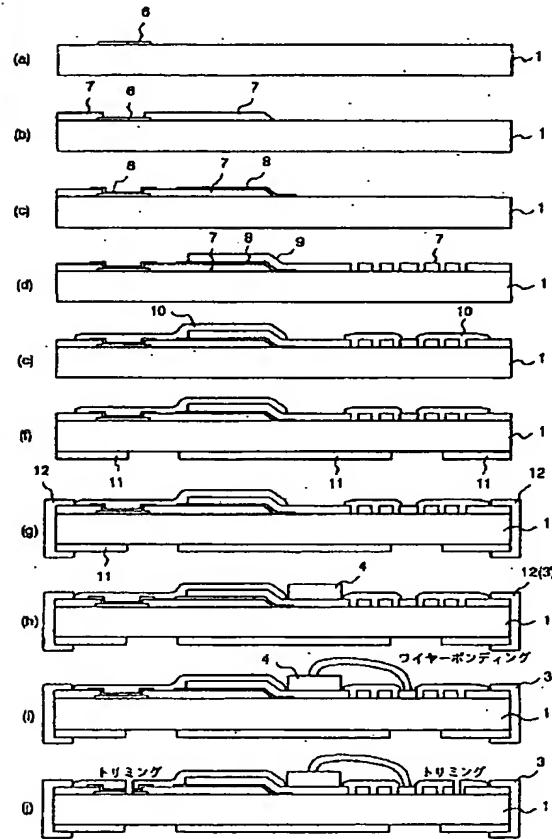
【図 3】



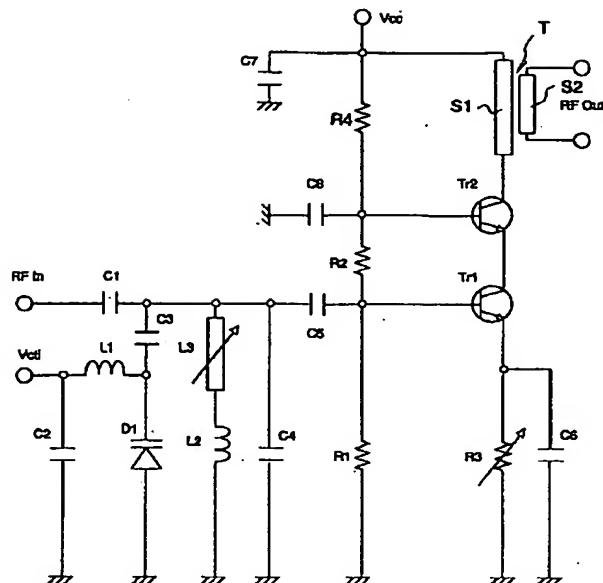
【図 4】



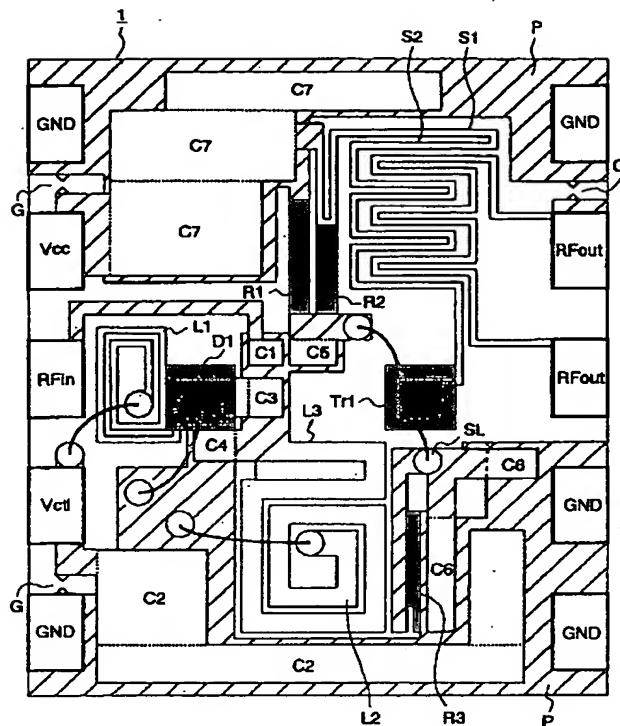
【図 8】



【図 9】



【図 10】



フロントページの続き

(72) 発明者 佐久間 博
東京都大田区雪谷大塚町 1 番 7 号 アルプ
ス電気株式会社内
(72) 発明者 五十嵐 康博
東京都大田区雪谷大塚町 1 番 7 号 アルプ
ス電気株式会社内

F ターム(参考) 5E070 AA01 AA19 AB01 CB12 CB20
CC10
5J081 AA03 AA11 BB07 CC22 CC25
CC30 DD03 DD21 EE02 EE03
EE09 EE18 GG03 GG05 JJ14
JJ23 KK02 KK11 LL04 MM01
MM07